

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217769

(43)Date of publication of application : 02.08.2002

(51)Int.Cl.

HC4B 1/30

(21)Application number : 2001-005241

(71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 12.01.2001

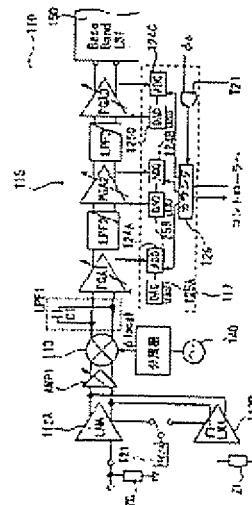
(72)Inventor : HAYASHI NORIO  
HAGINO NORIYOSHI  
MATSUI TOSHIKI  
WATANABE KAZUO  
TANAKA SATOSHI

## (54) SIGNAL PROCESSING SEMICONDUCTOR INTEGRATED CIRCUIT AND WIRELESS COMMUNICATION SYSTEM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a signal processing semiconductor integrated circuit adopting the direct conversion system that suppresses production of a DC offset due to a leaked noise from a local oscillator in the case of transit to a reception mode so as to enhance the reception sensitivity.

**SOLUTION:** The signal processing semiconductor integrated circuit adopting the direct conversion system is provided with a dummy amplifier circuit with the same circuit configuration as that of a low noise amplifier that is a 1st stage amplifier circuit, deactivates the low noise amplifier in the case of transit to the reception mode and activates the dummy amplifier circuit to execute calibration of a DC offset of a post-state amplifier circuit (PGA(programmable gain amplifier)).



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本特許庁 (J P)

特图2002-217769

(P2002-217769A)

(43)公開日 平成14年8月2日(2002.8.2)

(51) In Cl,  
F I  
F-73-1' (22)

**寧波湖の式湖沼 湖沼の数10 O.L. (全12日)**

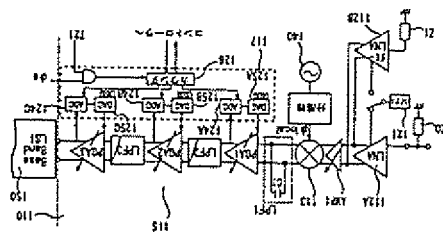
YHSH (L) 030005103

株式会社日立製作所

東京移千代田区神田駿河台町丁国在番地

03122000 YIMH(L

長巻図に描く

[illegible]



と受信系のコントロール・1118との間は3本の信号面からなるシリアルバスで接続されており、ペーズパンドなシステム制御線150から受信系のコントロール・1118に対して、コマンドコードDATAと該コマンドのラックタイミングを与えるクロックCLKとデータが信号線で示すインポート/受信ENが供給され、コントロール・1118は供給されたコマンドに基づき受信系回路1110の動作を行う。

[illegible]

【0028】図2には上記変換回路110のより具体的な構成を、また図3には変換回路110を構成する各段のアンプに動作電圧を与える基準電流発生回路の具体的な回路構成例を示す。

【0029】この実施例においては、シナ部112に本発明の改良型ギザシナ112Aおよび改良型112Bをそれぞれ同一割合で配合する。シナ部115には3面のプグアラマゾル・ゲイン・アンプP-GA1、P-GA2、P-GA3が設けられ、後述のように各エレクトロル素と接続で構成されている。このように、上記改良型ギザシナ112Aおよびシナ部112B、115には、プグアラマゾル・ゲインA112Bや、ミクスA113、プグアラマゾル・ゲイン・アンプP-GA1〜P-GA3には、アンプに動作電圧を印加するために必要な各種電圧をそれぞれ印加する。また、シナ部112、115には、シナ部112に設けられている

[illegible]

【0031】そして、上記トランジスタQ12のベース端子と記名名のアンプに定電圧源として繋げられているトランジスタQ21のベース端子とが接続されることによりカレントミラー回路が構成され、これにより各段

T2、ダミーN1128をアクティブにしてオートキャリブレーションを実行可能にするためのオートキープレーション制御部T21、低減回路部T128をアクティブにして周波数の調整を行うための受振器部T23を、所定条件および所定タイミングで生成して出力する。

【0037】図4には、受領減回路110のより詳細な

【0038】図4に示されているように、PGA11P5は、蒸気相ノイズをカットするローパスフィルタLPF1〜LPF3と制御部可能なアナログマルチプラーギン・アップPGA1〜PGA3とを交互に順接接続して構成されている。ローパスフィルタLPF1〜LPF3は、初段よりなる段目、2段目および3段目の方式はそれぞれ異なるが、蒸気相近傍での導特性他諸の値が空域になるようにそれぞれ設計されている。

【0039】なお、初期のローパスフィルタLPF1はミラミ113の出力端に負荷が付付けのインダクタをから構成される。負荷素子C1は仕掛け素子が大きい(例えば2200pF)ため同付は素子とされている。2段階のローパスフィルタLPF2は次のフィルタ。3段階のローパスフィルタLPF3は次のフィルタとされ、それらのフィルタを構成する回路素子は段々と小さく、それらによってアンパを構成する素子と共に年毎に体素縮小に小さくしていく。

【0040】上記プロダクタマル・サイン・アンペアC A3は、3段で例えば160Hzのこのような割り当てられるように設計されている。ダイクットのコンバーション方式では、ミクス1より後の周波数は0MHz〜70kHzのペーパーバンドの範囲となつた。ローバ・デバイス(FH)LPF—LPFAプロダクタマル・サイン・アンペアC A1—P C A3などミクス1より後の周波数は多量に含まれることが用いず、D C結合とされて

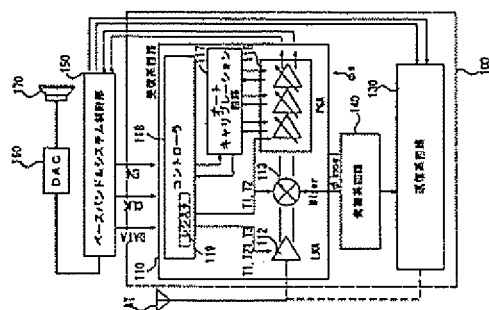
【004】オートキヤリブレーション値117は、各プログラマブル・ゲイン・アンプP1～P6Gのそれぞれに対して設定されており、各プログラマブル・ゲイン・アンプP1～P6Gの出力電位値を4デジタ毎に増減するA/Dコンバータ124A～124Cに、各A/Dコンバータ124A～124Cによる比較結果に基づき決定するプログラマブル・ゲイン・アンプP1～P6Gの増減入力に出力のD/Cフリップフロップ125A～125Cの増減入力を与えるD/Aコンバータ126A～126Cと、各A/Dコンバータ124A～124C動作タイミングを与えるカウンタ126A～126C構成される。

【0042】オートキャリブレーション回路117は、コントローラ118からの指令によりキャリブレーションを開始すると、まず、初回目のプログラマブル・ゲイン・アンプPGA1のDCオフセットキャリブレーション

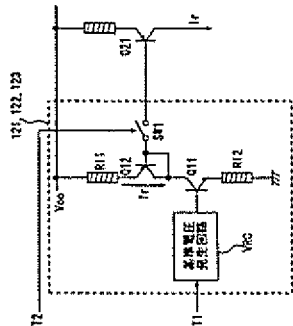




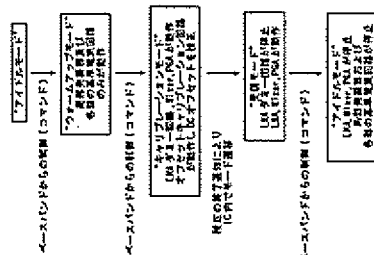
【図1】



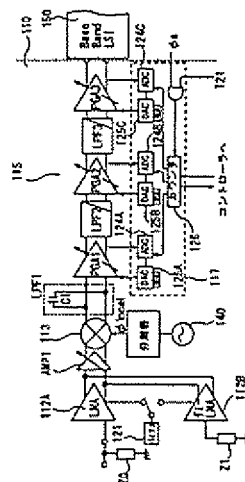
【図3】



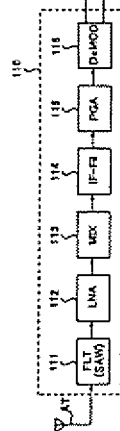
【図8】



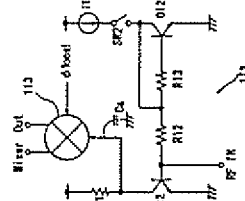
【図4】



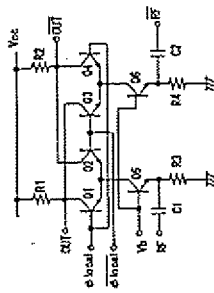
【図10】



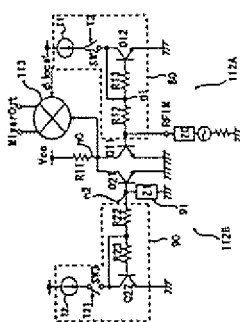
【図12】



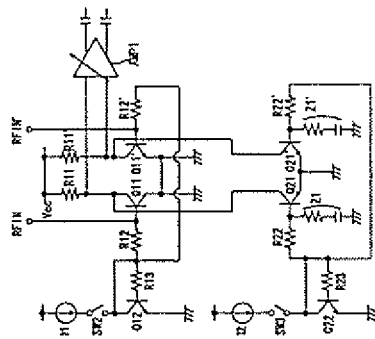
【図5】



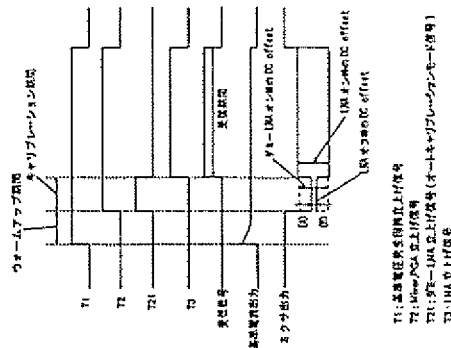
【図6】



【図7】



【図9】



フロントページの続き

(72)発明者 萩野 配由  
東京都小平市上水町五丁目22番1号 株式会社日立製作所半導体グループ内  
文内  
(72)発明者 松井 俊樹  
東京都小平市上水町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 渡辺 一雄  
東京都小平市上水町五丁目20番1号 株式会社日立製作所半導体グループ内  
(72)発明者 田中 聡  
東京都国分市御蔵ヶ原一丁目260番地 株式会社日立製作所中央研究所内